

CHEN et al
February 14, 2004

703-203-7002
3313-1116P
1061

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 27 日
Application Date

申請案號：092114246
Application No.

申請人：財團法人工業技術研究院
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 24 日
Issue Date

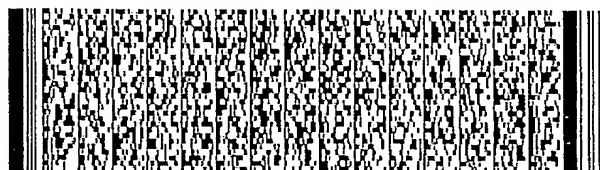
發文字號：09220747640
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	三維堆疊之電子構裝及其組裝方法
	英文	
二、 發明人 (共4人)	姓名 (中文)	1. 陳守龍 2. 呂芳俊 3. 彭逸軒
	姓名 (英文)	1. Shou-Lung CHEN 2. Fang-Jun LEU 3. I-Hsuan PEN
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市新莊街22號 2. 新竹縣竹光路35巷6號4樓 3. 新竹縣竹東鎮長春路一段125號
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 財團法人工業技術研究院
	名稱或姓名 (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 翁政義
	代表人 (英文)	1. Cheng-I WENG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 游善溥
	姓 名 (英文)	4. Shan-Pu YU
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 桃園縣龍潭鄉大同路194巷17弄19號
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：三維堆疊之電子構裝及其組裝方法)

一種三維堆疊之電子構裝及其組裝方法，係結合打線成球(stud bump)方法與元件本身的通透孔設計，同時接合上下層元件以及完成電性接合，藉由打線成球方法於承載體形成柱狀導電凸塊，再使柱狀導電凸塊通過元件之通透孔，以將元件組裝於承載體以完成三維堆疊之電子構裝。

伍、(一)、本案代表圖為：第 1E 圖

(二)、本案代表圖之元件代表符號簡單說明：

10	基板
11	柱狀導電凸塊
20	晶片
21	通透孔

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

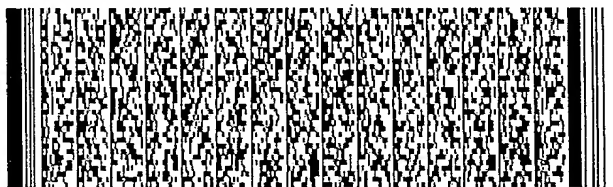
本發明係為一種電子構裝及其組裝方法，特別是關於一種三維堆疊之電子構裝及其組裝方法。

【先前技術】

電子構裝(Electronic Packaging)也被稱為電子封裝，它的目的在賦予積體電路元件(IC)組織架構，使其能發揮既定的功能。以微電子產品的製程觀之，電子構裝屬於產品後段的製程技術，因此構裝常被認為只是積體電路製程技術的配角之一。事實上，電子構裝技術係主宰電子產品尺寸與成本，因此開發構裝技術的重要性不亞於IC製程技術與其它的微電子相關製程技術。

依構裝中組合的IC晶片數目，電子構裝可區分為單晶片構裝(Single Chip Packages, SCP)與多晶片構裝(Multichip Packages, MCP)兩大類，多晶片構裝也包括多晶片模組構裝(Multichip Module, MCM)。為了達到小型化、低成本、高密度配線以及高功能化的產品需求，多晶片構裝已成為當前電子構裝發展的主流，因此如何降低多晶片構裝的成本以及簡化構裝製程亦成為目前半導體業的研發目標。

其中，一般多晶片構裝之晶片間的電性連接方法，係於晶片製作錫球陣列(ball grid array, BGA)作為晶片向外連接之端點，以達成晶片間電性連接。然而，此製程方法包含了許多光罩製作、光微影、濺鍍、電鍍等等相關製程以及後段組裝與錫球陣列植球的製程，其製程相當複雜



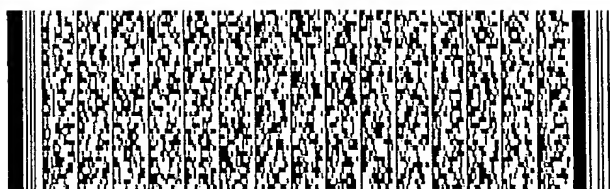
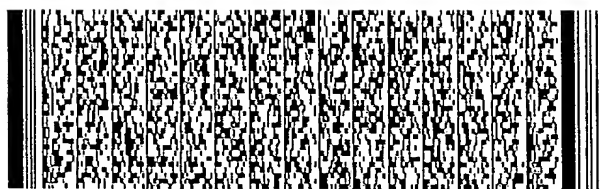
五、發明說明 (2)

且影響製程的因素多而造成製程不穩定，相對的提高了封裝成本。另外，亦可藉由晶片上所製作的通透孔來作為晶片之垂直導通路徑，但是於製程中需對位晶片的通透孔並填入導電材料，此對位與填充的步驟在實行上有相當的難度，使良率不穩定並造成量產上的困難。

【發明內容】

為解決上述習知技術的問題，以及達到簡化製程與節省成本的目的。本發明提供一種三維堆疊之電子構裝及其組裝方法。利用打線成球(stud bump)方法與元件本身的通透孔設計，同時接合上下層元件以及完成電性接合。可以大量減少錫球陣列植球與凸塊製作兩部分所需之許多光罩製作、光微影、濺鍍或電鍍等等相關製程，以及後段的組裝製程。

本發明所揭露之三維堆疊之電子構裝的組裝方法，其步驟概述如下：先利用打線成球(stud bump)方法於承載體之承載表面製作複數個柱狀導電凸塊；提供一個以上的元件，其具有對應於柱狀導電凸塊之複數個通透孔，以提供複數個柱狀導電凸塊通過；組裝前述之元件與承載體，使柱狀導電凸塊對準通過元件之通透孔；如此，即完成元件與承載體的接合形成電子構裝。另外，可藉由上述方法，利用已完成之電子構裝作為承載體，重複上述步驟以接合複數個元件。依電路設計的不同，承載體後續之打線成球的位置也可選擇不和第一層之電子構裝的柱狀導電凸塊對齊或接觸。以此方法可完成多晶片構裝(Multichip



五、發明說明 (3)

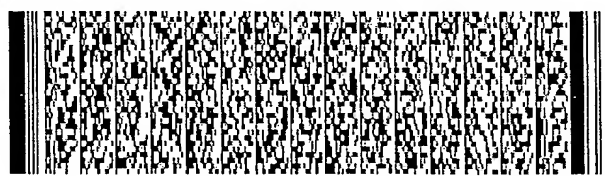
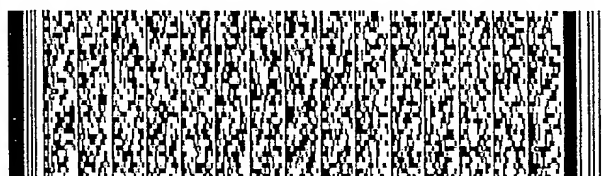
Packages, MCP) 或多晶片模組構裝(Multichip Module, MCM)等多層次的構裝。其中，本發明更包含在最頂端的元件表面塗佈焊料於柱狀導電凸塊尾端周圍，然後加熱迴焊使熔融之焊料沿著柱狀導電凸塊通過元件的通透孔以串聯每一層元件的步驟；或以導電性膠材取代前述之焊料，之後以固化取代加熱迴焊製程。

配合上述之三維堆疊之電子構裝的組裝方法，本發明更包含以此方法製作出的三維堆疊之電子構裝，其結構包含有：一承載體，其承載表面具有複數個柱狀導電凸塊；一個以上的元件，其具有對應於柱狀導電凸塊之複數個通透孔，每一元件之複數個通透孔係對準通過複數個柱狀導電凸塊，使一個以上的元件組裝於承載表面。另外，本發明結構更包含沿著柱狀導電凸塊通過元件的通透孔之焊料。

為使對本發明的目的、構造特徵及其功能有進一步的了解，茲配合圖示詳細說明如下：

【實施方式】

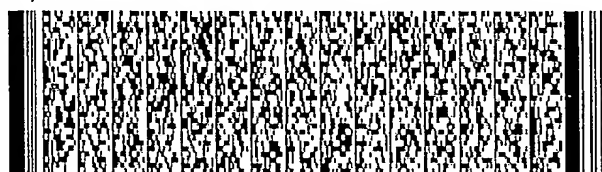
請先參考第1A圖至第1E圖，其為本發明第一實施例之製作流程示意圖。如第1A圖所示，先利用打線成球(stud bump)方法於基板10之承載表面製作複數個柱狀導電凸塊11；然後，如第1B圖所示，提供具有對應於柱狀導電凸塊11之複數個通透孔21的晶片20；接著，組裝晶片20與基板10，如第1C圖所示，使柱狀導電凸塊11對準通過每一晶片20之通透孔21，柱狀導電凸塊11之尾端超出晶片20高度；



五、發明說明 (4)

如此，即接合晶片20與基板10以形成第一層之電子構裝。另外，可藉由上述方法，如第1D圖所示，利用已完成之電子構裝作為承載體，同樣利用打線成球(stud bump)方法於晶片20上方之承載表面製作複數個柱狀導電凸塊11，以提供後續之晶片20連接；然後，可重複上述步驟以接合多個晶片20，如第1E圖所示，其為本發明第一實施例之示意圖。其中，後續之打線成球的位置可形成於第一層之電子構裝所露出的柱狀導電凸塊11之尾端；或者，依電路設計的不同，後續之打線成球的位置也可選擇不和第一層之電子構裝所露出的柱狀導電凸塊接觸。

本發明亦可利用打線成球(stud bump)方法於承載體之承載表面製作高度較高的複數個柱狀導電凸塊；使單一柱狀導電凸塊即可串聯複數個晶片。請參考第2A圖至第2D圖，其為本發明第二實施例之製作流程示意圖。如第2A圖所示，先利用打線成球(stud bump)方法於承載體之承載表面製作高度約為300微米(μm)的複數個柱狀導電凸塊11；然後，如第2B圖所示，提供具有對應於柱狀導電凸塊11之複數個通透孔21的四個晶片20，使柱狀導電凸塊11對準通過每一晶片20之通透孔21，依序組裝每一晶片20於承載體10，並於晶片20之間加入間格物30。再塗佈焊料31於最頂端的晶片20表面所露出之柱狀導電凸塊11尾端周圍，請參考第2C圖；最後，如第2D圖所示，加熱迴焊使焊料31熔融沿著柱狀導電凸塊11通過晶片20的通透孔21，使其固化之後得以串聯每一層晶片20。

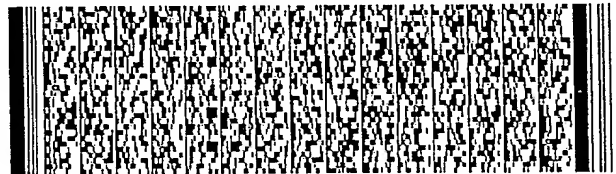
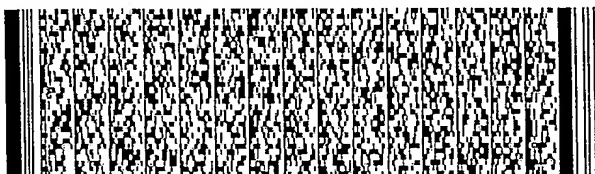


五、發明說明 (5)

另外，亦可以導電膠材取代焊料，將液態之導電膠材塗佈於最頂端的晶片表面之柱狀導電凸塊尾端周圍，使其沿著導電凸塊通過晶片之通透孔，並固化導電膠材使其串聯每一層晶片。

本發明製程中利用打線成球(stud bump)所形成之柱狀導電凸塊，其材質可利用高導電性之金屬材料，如金、銅或鋁等，或是其他具傳導性的材料以得到更佳之傳導性質。而晶片可選擇矽、砷化鎵、磷化銦或磊晶片等常用之半導體晶片，承載體可為有機基板、陶瓷(ceramic)、玻璃(glass)、矽和砷化鎵(GaAs)等基板。並且，承載體可再透過陣列腳位排列封裝(Pin Grid Array Package, PGA)、錫球陣列、打線接合(Wire Bond)、覆晶(Flip-Chip)、捲帶式自動接合(Tape Automated Bonding, TAB)或導線架(leadframe)等方式與其他基板或元件連接。

雖然本發明之較佳實施例揭露如上所述，然其並非用以限定本發明，任何熟習相關技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。



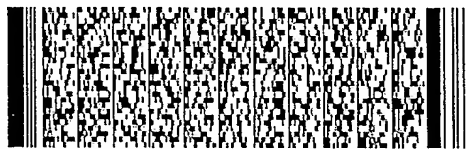
圖式簡單說明

第1A圖至第1E圖為本發明第一實施例之製作流程示意圖；及

第2A圖至第2D圖為本發明第二實施例之製作流程示意圖。

【圖式符號說明】

10	基板
11	柱狀導電凸塊
20	晶片
21	通透孔
30	間格物
31	焊料



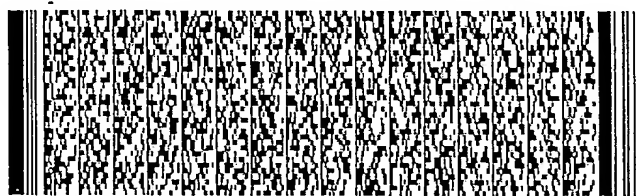
六、申請專利範圍

1. 一種三維堆疊之電子構裝的組裝方法，其步驟包含有：
 - (a) 提供一承載體；
 - (b) 利用打線成球(stud bump)方法於該承載體之一承載表面製作複數個柱狀導電凸塊；
 - (c) 提供一個以上的元件，其具有對應於該柱狀導電凸塊之複數個通透孔，以提供該柱狀導電凸塊通過；及
 - (d) 使該柱狀導電凸塊對準通過該元件之該通透孔，組裝該元件與該承載體以形成一電子構裝。
2. 如申請專利範圍第1項所述之三維堆疊之電子構裝的組裝方法，其中更包含於該步驟(d)之後，以該電子構裝作為承載體，依序重複一次以上步驟(b)至步驟(d)。
3. 如申請專利範圍第1項所述之三維堆疊之電子構裝的組裝方法，其中更包含一在最頂端的該元件表面塗佈一焊料於該柱狀導電凸塊尾端周圍，並加熱迴焊使熔融之該焊料沿著該柱狀導電凸塊通過該通透孔以串聯每一層該元件的步驟。
4. 如申請專利範圍第1項所述之三維堆疊之電子構裝的組裝方法，其中更包含一在最頂端的該元件表面塗佈一導電膠材於該柱狀導電凸塊尾端周圍，使液態之該導電膠材沿著該柱狀導電凸塊通過該通透孔以串聯每一層該元件的步驟。
5. 如申請專利範圍第1項所述之三維堆疊之電子構裝的組裝方法，其中該柱狀導電凸塊之材料係為導電性金屬。



六、申請專利範圍

6. 如申請專利範圍第1項所述之三維堆疊之電子構裝的組裝方法，其中該柱狀導電凸塊之材料係選自金、銅和鋁所組成的族群其中之一。
7. 如申請專利範圍第1項所述之三維堆疊之電子構裝的組裝方法，其中該元件係選自矽晶片、砷化鎵晶片、磷化銦晶片及磊晶片所組成的族群其中之一。
8. 如申請專利範圍第1項所述之三維堆疊之電子構裝的組裝方法，其中該承載體係選自有機基板、陶瓷基板、玻璃基板、矽基板和砷化鎵基板所組成的族群其中之一。
9. 一種三維堆疊之電子構裝，其包含有：
一承載體，其具有一承載表面，該承載表面係以打線成球(stud bump)方法形成複數個柱狀導電凸塊；及
一元件，其具有對應於該柱狀導電凸塊之複數個通透孔，該元件之該通透孔係對準通過該柱狀導電凸塊，使該元件組裝於該承載表面。
10. 如申請專利範圍第9項所述之三維堆疊之電子構裝，其中該柱狀導電凸塊之材料係為導電性金屬。
11. 如申請專利範圍第9項所述之三維堆疊之電子構裝，其中該柱狀導電凸塊之材料係選自金、銅和鋁所組成的族群其中之一。
12. 如申請專利範圍第9項所述之三維堆疊之電子構裝，其中該元件係選自矽晶片、砷化鎵晶片、磷化銦晶片及磊晶片所組成的族群其中之一。
13. 如申請專利範圍第9項所述之三維堆疊之電子構裝，其



六、申請專利範圍

中該承載體係選自有機基板、陶瓷基板、玻璃基板、矽基板和砷化鎵基板所組成的族群其中之一。

14. 一種三維堆疊之電子構裝，其包含有：

一承載體，其具有一承載表面，該承載表面係以打線成球(stud bump)方法形成複數個柱狀導電凸塊；及

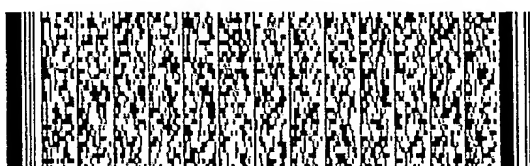
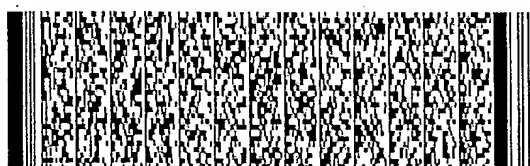
複數個元件，其具有對應於該柱狀導電凸塊之複數個通透孔，每一該元件之該通透孔係對準並逐一通過該柱狀導電凸塊，使該元件一一組裝於該承載表面。

15. 如申請專利範圍第14項所述之三維堆疊之電子構裝，其中更包含一焊料，係塗佈在最頂端的該元件表面之該柱狀導電凸塊尾端周圍，並經由加熱迴焊以熔融該焊料使其沿著該柱狀導電凸塊通過該通透孔以串聯每一層之該元件。

16. 如申請專利範圍第14項所述之三維堆疊之電子構裝，其中更包含一導電膠材，係塗佈在最頂端的該元件表面之該柱狀導電凸塊尾端周圍，使其沿著該柱狀導電凸塊通過該通透孔以串聯每一層之該元件。

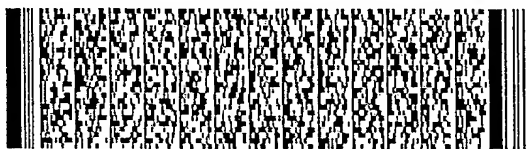
17. 如申請專利範圍第14項所述之三維堆疊之電子構裝，其中更包含一間格物，係間格於該元件與鄰接的該元件之間。

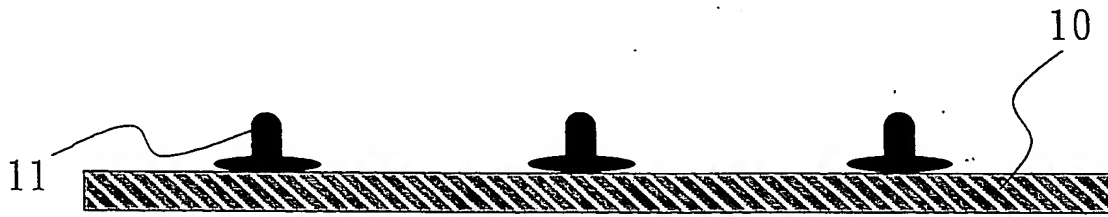
18. 如申請專利範圍第14項所述之三維堆疊之電子構裝，其中該柱狀導電凸塊之材料係為導電性金屬。



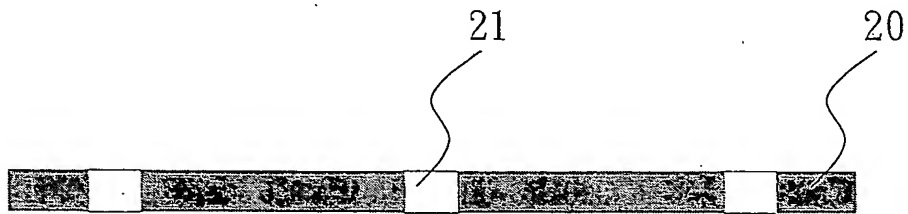
六、申請專利範圍

19. 如申請專利範圍第14項所述之三維堆疊之電子構裝，其中該柱狀導電凸塊之材料係選自金、銅和鋁所組成的族群其中之一。
20. 如申請專利範圍第14項所述之三維堆疊之電子構裝，其中該元件係為選自矽晶片、砷化鎵晶片、磷化銦晶片及磊晶片所組成的族群其中之一。
21. 如申請專利範圍第14項所述之三維堆疊之電子構裝，其中該承載體係選自有機基板、陶瓷基板、玻璃基板、矽基板和砷化鎵基板所組成的族群其中之一。

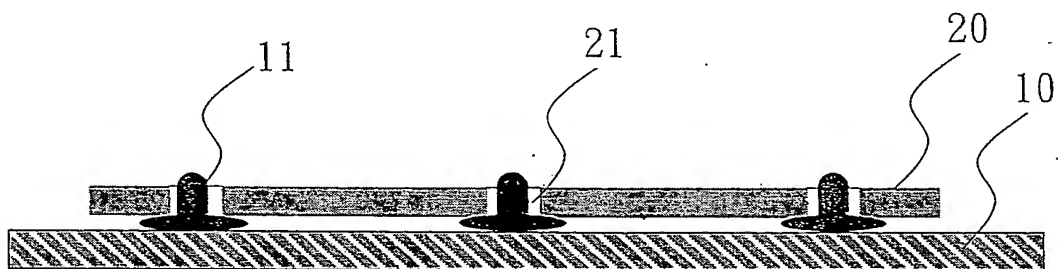




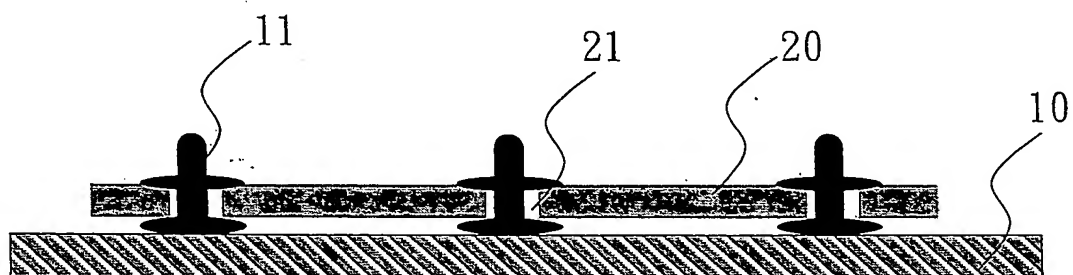
第1A圖



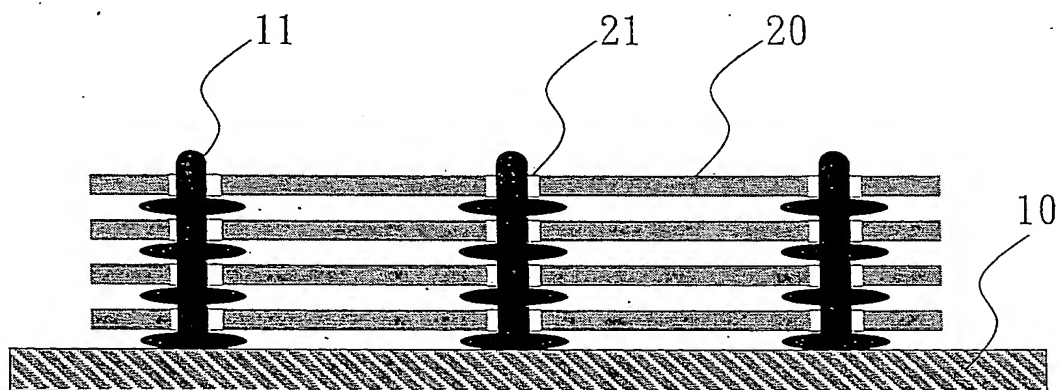
第1B圖



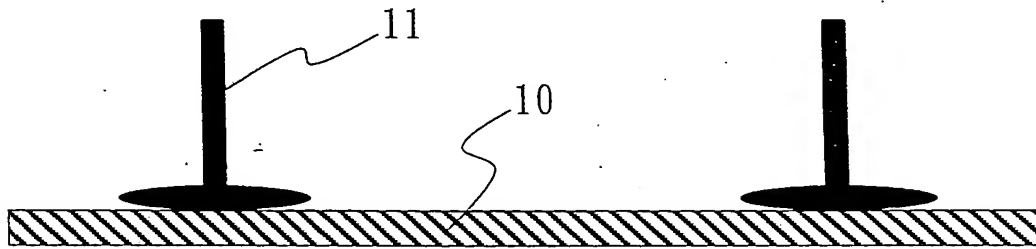
第1C圖



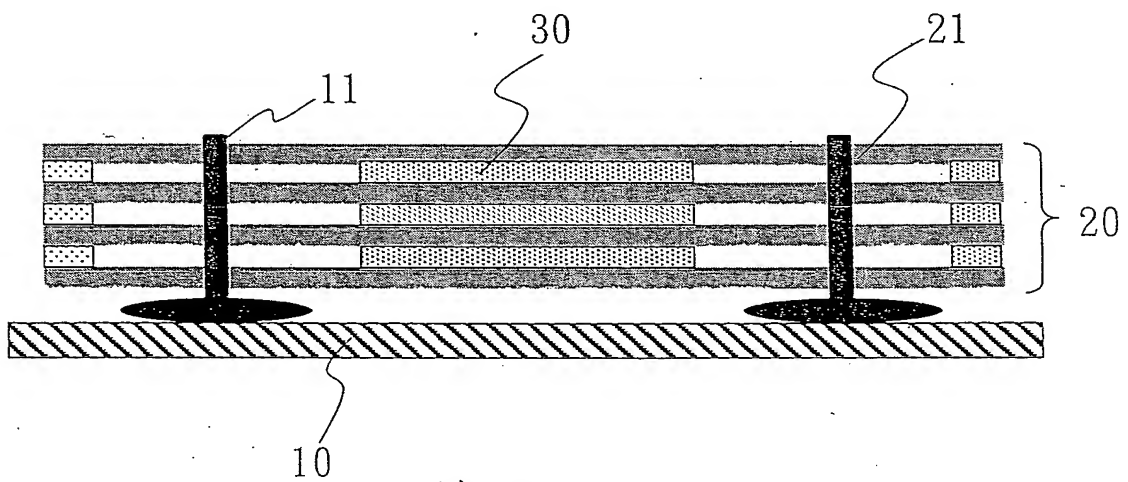
第1D圖



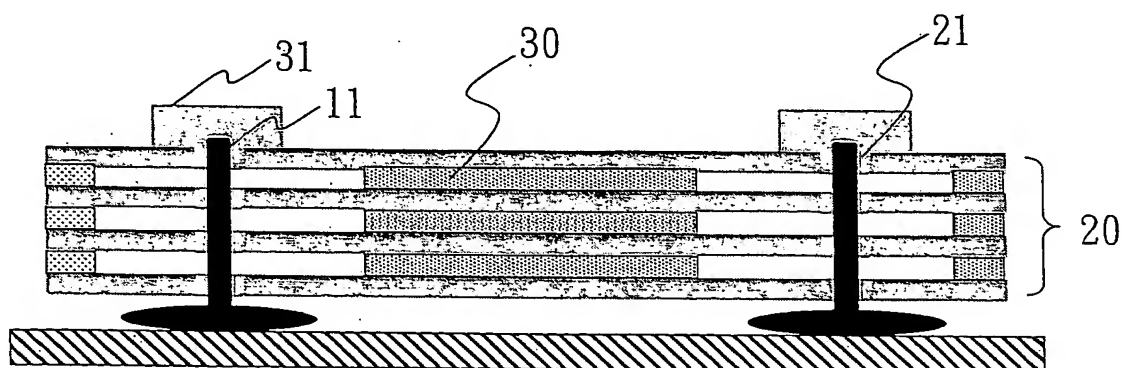
第1E圖



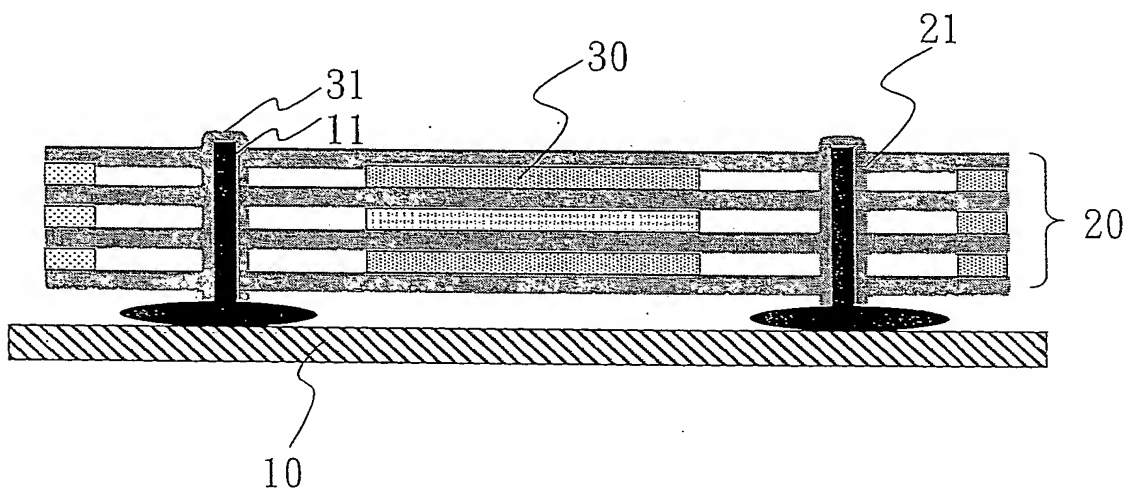
第2A圖



第2B圖

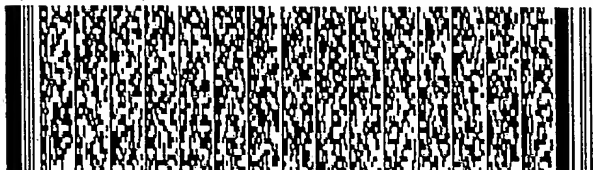


第2C圖



第2D圖

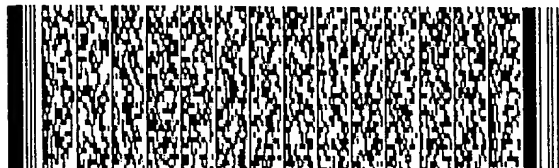
第 1/14 頁



第 2/14 頁



第 3/14 頁



第 4/14 頁



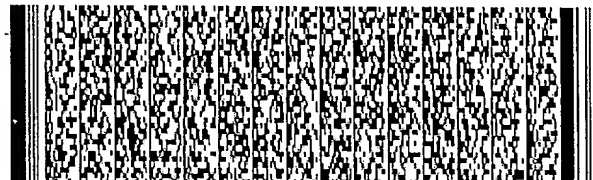
第 5/14 頁



第 5/14 頁



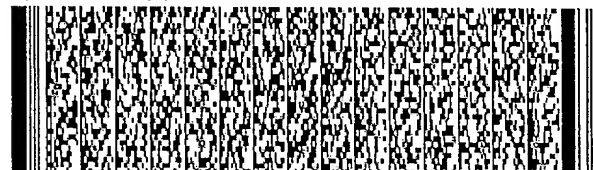
第 6/14 頁



第 6/14 頁



第 7/14 頁



第 7/14 頁



第 8/14 頁



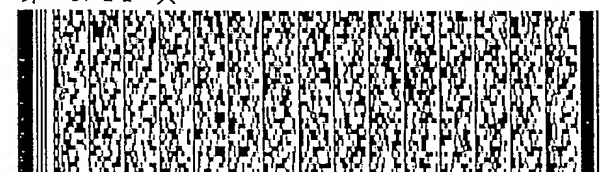
第 8/14 頁



第 9/14 頁



第 9/14 頁



第 10/14 頁



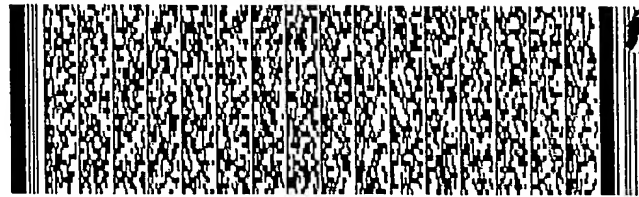
第 11/14 頁



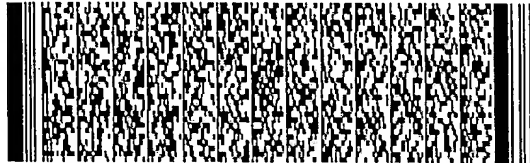
第 11/14 頁



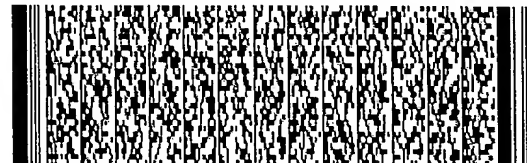
第 12/14 頁



第 13/14 頁



第 13/14 頁



第 14/14 頁

